

# 高介電絕緣層對先進金氧半場效應電晶體元件 影響之研究

李薰<sup>1</sup>、江孟學<sup>2★</sup>

1. 國立宜蘭大學電子工程學系學生
2. 國立宜蘭大學電子工程學系教授

## 摘要

為了滿足現今市場對於電晶體具體積小、省功率、降低成本及提高速度的需求，而採取先進微影的技術以達到目的，但相對在元件內部的物理現象會造成電晶體的特性變化，像是短通道效應、汲極引致能障下降(DIBL)等等，使得特性曲線偏移。為了克服此問題，於是造就元件的演進，甚至從元件取代材料著手，目前已知把氧化層材料由原先的二氧化矽氧化層，改為使用 High- $\kappa$  材料，即高介電絕緣層，更能降低閘極漏電流、改善次臨界擺幅(subthreshold swing)，且當溫度改變時，它的臨界電壓相位移變化也比二氧化矽小[Boucart et al, 2007]，基於這些良好特性，我們將深入研究並驗證其產生的物理現象及相關電場影響。

**關鍵字：**短通道效應、高介電絕緣層、閘極漏電流

★. 通訊作者

**E-mail:** [mhchiang@niu.edu.tw](mailto:mhchiang@niu.edu.tw)

# On the Impact of high-k gate dielectric for MOSFETs: Simulation-Based Study

Hsun Li<sup>1</sup> and Meng-Hsueh Chiang<sup>2</sup>

1. Student, Department of Electronic Engineering, National Ilan University
2. Professor, Department of Electronic Engineering, National Ilan University

## Abstract

In order to meet the IC application requirements in reduced transistor size and power consumption and higher speed, advanced lithography technology has been developed aggressively. However, as the transistors continue to scale, their physical characteristics have changed significantly due to short-channel effects, drain-induced barrier lowering (DIBL), etc. In order to overcome the scaling obstacle, new materials and novel transistor structures are being sought. For reducing gate leakage due to direct tunneling, high- $\kappa$  materials have replaced conventional silicon dioxide. This work focuses on evaluating the impact of high- $\kappa$  gate dielectric for MOSFETs using numerical simulation.

**Keyword:** Short-channel effects, high- $\kappa$  gate dielectric, gate leakage current

## 一、前言

隨著製程的進步，電晶體微縮後的尺寸越來越小、絕緣層厚度也不斷縮小，使得本身的電容增大且閘極控制力降低，於是為了降低電容、漏電流，甚至是短通道效應等等，按照摩爾定律(Moore's Law)，電晶體以每兩年體積小一半的速度[Chang et al, 2003]，在未來幾年，半導體元件的尺寸將有可能會受到原子晶格大小的限制，無法再繼續縮減元件的關鍵尺寸，而如果依現有微縮技術仍無法改善問題，未來發展的趨勢是否會改變先進元件的使用材料來達到更好的特性，我們這次探討的主題就是以高介電質材料取代傳統二氧化矽作為閘極的氧化層材料。

## 二、元件微縮之問題

在討論絕緣層材料改變的影響前，我們先了解目前微影製程技術所遇到的問題。在元件尺寸微縮的過程中，我們可以發現到過去適用於大尺寸的特性，開始浮現問題，例如：短通道效應、次臨界區擺幅(S.S, subthreshold swing)、汲極引致能障下降(DIBL)等等，且量子效應對元件影響越來越大，所以我們必須先明白這些在微縮過程中需要被改善的特性。

在金氧半場效電晶體特性中，當閘極電壓小於臨界電壓( $V_T$ )時，元件本來是不應該導通，但由於當元件等比例縮小時，通道長度及絕緣層厚度也會縮減，而使得汲極能障下降，讓電子容易穿越，形成漏電流，而我們必須要去計算這些結果，以避免對元件造成影響。在電晶體的正常使用情況下，對於  $V_T$  與漏電流的大小有一定的限制範圍，所以我們由 DIBL 及 S.S 結果(如圖 1)，觀察特性曲線的移位並做改善[Solomon et al, 2003]。使用提高離子摻雜濃度的方法，雖然可以降低 DIBL 的影響，但也相對提高了 Subthreshold swing 的幅度，所以我們必須考慮高濃度摻雜以外的方式。

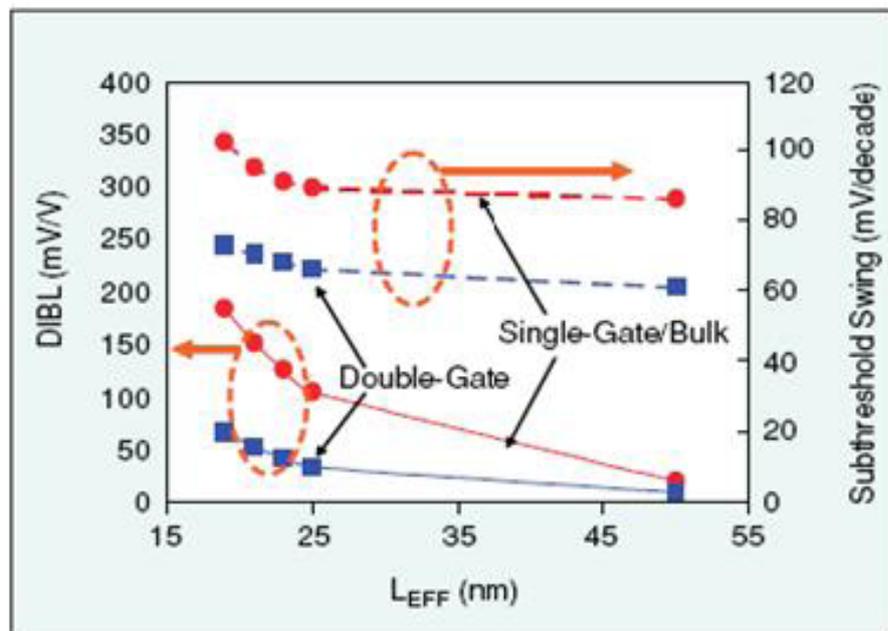


圖 1 單閘極與雙閘極金氧半場效電晶體的 DIBL 與 subthreshold swing [Solomon et al, 2003]。

### 三、穿隧電流機制

穿隧電流主要有三種機制 ECB (electron conduction band tunneling)、EVB (electron valence band tunneling)、HVB (hole valence band tunneling)，電子是從導電帶還是價電帶形成穿隧，兩者產生的機率大小會隨著外加的正負偏壓不同，當外加汲極偏壓為正偏壓時，導電帶穿隧發生機率較大，若為負偏壓則是價電帶穿隧。兩者形成的原因不同，導電帶穿隧是由於 (silicon) 能帶靠近二氧化矽氧化層 (oxide) 邊緣下彎使能障下降，電子易通過如圖 2，此時我們可以由測量汲極與源極的電子電流，看出在反轉層 (inversion) 情況下，汲極與源極提供電子，造成通道電流下降。價電帶穿隧則是因電場方向影響電子電洞流動，藉由測量基底電流可看出結果。

當我們考慮電子電洞穿隧效應，在 nMOS 元件中，主要載子為電子進行穿隧，閘極會產生一個直接穿隧電流即  $I_{dt}$  (direct tunneling current) 如表 1、表 2，其發生穿隧的機率較高，因此我們先忽略電洞穿隧。

我們知道當加大外加之汲極偏壓時，電子有足夠的動能撞擊共價鍵上的電子，剩下的電洞會在通道與其他的電子結合，形成電子電洞對，在汲極與源極之間開始產生通道 (channel)，進入導通的情況如圖 3。而在不外加汲極偏壓的情況下，當閘極電壓達到臨界電壓時，一個電子從通道直接穿過絕緣層至閘極後，便同時在基底留下一個電洞，累積在基底的電洞會對元件電性造成影響。

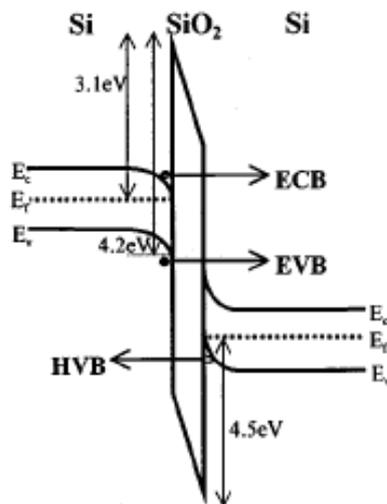


圖 2 穿隧電流方向三種機制分別為 ECB、EVB、HVB [Lee et al, 2001]。

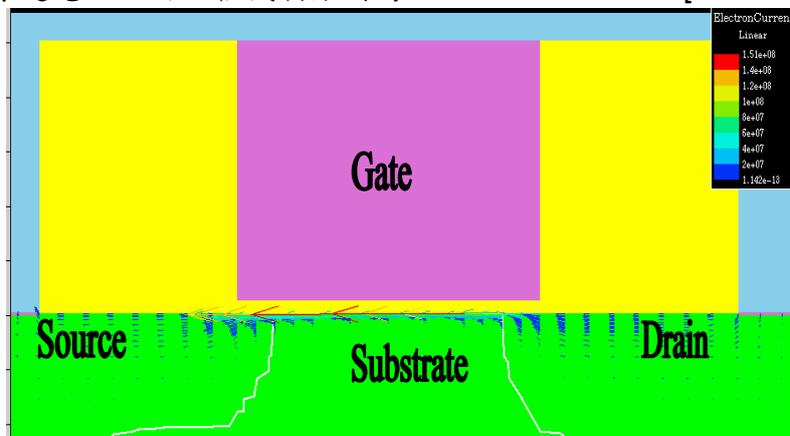


圖 3 nMOS 元件以圖檔觀察汲極到源極的電流方向。

#### 四、氧化層厚度與絕緣層材料之關係

在只考慮理想電晶體特性，即不開啟穿隧電流機制的情況下，由底下電容(C)方程式可知：

$$C = \frac{\epsilon}{d} A \quad (1)$$

理想上，若我們只改變介電質材料( )及厚度(d)，電容及面積(A)大小不變，則兩者變數之關係應該成正比。當我們以高介電質取代二氧化矽，由於材料的介電質變大，在為固定電容大小的情況下，我們可以將絕緣層厚度增加，而由於高介電絕緣層材料的厚度較大，垂直電場控制能力與電子穿隧能力較差，所以閘極漏電流的大小也會跟著下降，但在厚度的改變下，高介電質絕緣層的電場方向實際上並沒有與二氧化矽絕緣層完全相同，也造成其特性曲線有所變化。

表 1 三種穿隧機制在閘極偏壓為 1.5V 下之三端漏電流大小。

氧化層厚度為 2.5nm 之 Bulk 元件(漏電流為 Idt, direct tunneling current)						
		Vg	gate	source	drain	substrate
Carriers	model	Volts	pAmps	pAmps	pAmps	pAmps
Electrons	ECB	1.5	1.34	-0.260	-0.260	-0.822
Holes	ECB	1.5	1.34	-0.260	-0.260	-0.822
Both	ECB	1.5	1.34	-0.260	-0.260	-0.822
Electrons	EVB	1.5	0.755	-0.115	-0.115	-0.525
Holes	EVB	1.5	0.755	-0.115	-0.115	-0.525
Both	EVB	1.5	0.755	-0.115	-0.115	-0.525
Electrons	HVB	1.5	0	0	0	0
Holes	HVB	1.5	0	0	0	0
Both	EVB	1.5	0	0	0	0

表 2 三種穿隧機制在閘極偏壓為-1.5V 下之三端漏電流大小。

氧化層厚度為 2.5nm 之 Bulk 元件(漏電流為 Idt, direct tunneling current)						
		Vg	gate	source	drain	substrate
Carriers	model	Volts	pAmps	pAmps	pAmps	pAmps
Electrons	ECB	-1.5	-1.19	0.450	0.450	0.290
Holes	ECB	-1.5	-1.19	0.450	0.450	0.290
Both	ECB	-1.5	-1.19	0.450	0.450	0.290
Electrons	EVB	-1.5	0	0	0	0

Holes	EVB	-1.5	0	0	0	0
Both	EVB	-1.5	0	0	0	0
Electrons	HVB	-1.5	0	0	0	0
Holes	HVB	-1.5	0	0	0	0
Both	EVB	-1.5	0	0	0	0

以下我們先藉由尺寸為  $0.13\mu\text{m}$  之 bulk MOSFET 進行測試，以 I.T.R.S(International Technology Roadmap for Semiconductors)制定之規範的  $2.5\text{nm}$  絕緣層厚度與驗證用的  $5\text{nm}$  絕緣層厚度做對照。因為我們主要觀察絕緣層材料、厚度以至於電場對電流的影響，而就二維效應來說，在電場影響上，傳統電晶體的結構比鳍式電晶體容易觀察，所以先從傳統電晶體改變材料來做為量測的準則。

由於高介電質為新開發應用於電晶體上的材料，所以還無法使用模擬軟體 Taurus 工具改變為預設值，所以這次我們嘗試修改 Taurus 中原本 Oxide 材料預設值。

首先我們先依照 I.T.R.S.傳統電晶體結構的微縮尺寸，將傳統二氧化矽絕緣層以高介電質材料取代，觀察其電場與電流電壓特性曲線，依照材料的介電質大小來調整絕緣層厚度。

在模擬當中，我們設定元件寬度為  $300\text{nm}$ 、閘極長度為  $65\text{nm}$  之 bulk 結構，並以  $2.5\text{nm}$  以及  $5\text{nm}$  氧化層做對照，更改其模型之介電質參數值分別為  $3.9$  及  $7.8$ ，比較其結果，即二氧化矽與高介電質材料做比較。

已知電場線並非完全垂直，在閘極兩側的電場還是會受汲極與源極的影響形成方向偏差，而在厚度改變後，電場方向大小也會跟著改變，所以我們將兩種材料特性固定電場大小後，觀察其各種特性曲線之結果是否有所不同(如圖 4)。

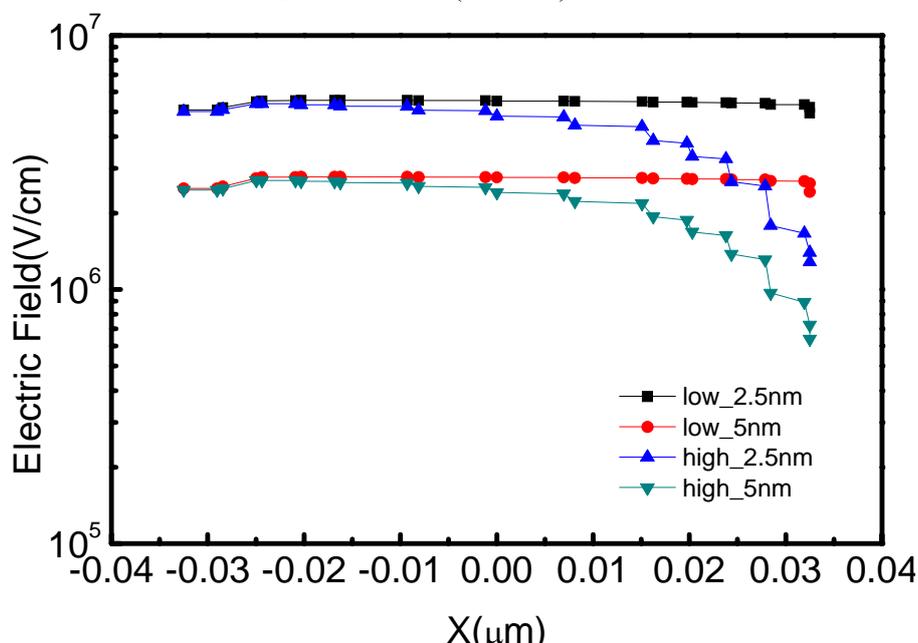


圖 4 上圖為 nMOS 元件在不同厚度 ( $2.5\text{nm}$  與  $5\text{nm}$ ) 及不同汲極電壓下 ( $50\text{mV}$  與  $1.1\text{V}$ ) 於絕緣層表面上方  $-0.001\mu\text{m}$ ，x 方向由左至右為汲極到源極 ( $0.00\mu\text{m}$  處為通道中心點) 的氧化層內部電場大小。

在這裡我們主要討論電晶體元件使用矽絕緣層與高介電絕緣層是否會有所差異。而由模擬結果中我們可看出實際上電場線在絕緣層並非完全垂直，由汲極到源極的電流方向亦會形成一水平電場(如圖 3)。此水平電場在氧化層層中會造成電場方向改變，造成元件使用矽絕緣層與高介電絕緣層兩種材料的 I-V 特性曲線有所差異，此現象在偏壓越大時會越明顯(如圖 5、圖 6)。

我們改變模型中的參數以調整介電質之大小，理想上，若假設電場皆垂直通道，增加介電質大小後，同時以同樣比例增加氧化層厚度，應該可以得到同樣的電流電壓特性曲線，但從我們模擬的數據中，可以看出實際上電流大小並不會完全相同，電場大小也不相同，而在開啟穿遂效應後，加上電子穿遂現象，對電流及電場會有更大的影響。

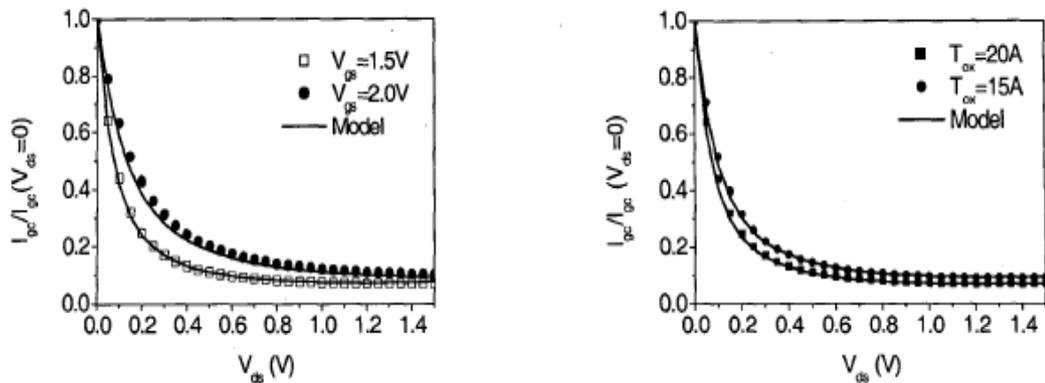


圖 5 上圖左表示不同閘極電壓下的電流電壓特性曲線，右圖則表示不同氧化層厚度下，造成其電流值改變 [Cao et al, 2000]。

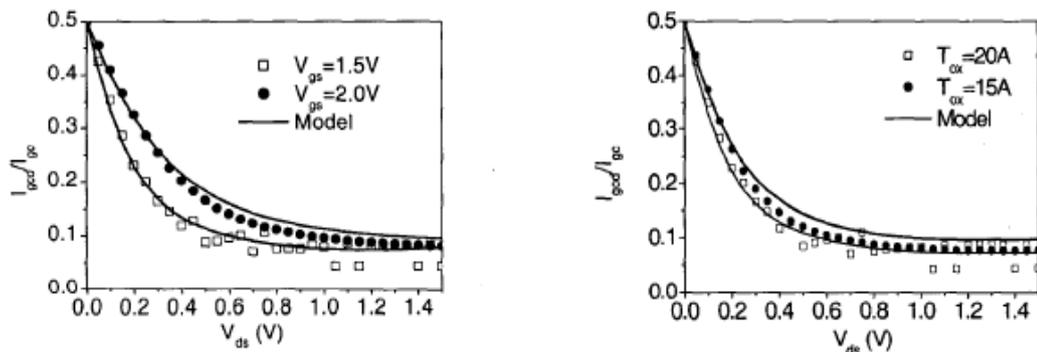


圖 6 由上圖左可知，在固定氧化層厚度的情況下，若增加閘極電壓則電流會變大 [Cao et al, 2000]。

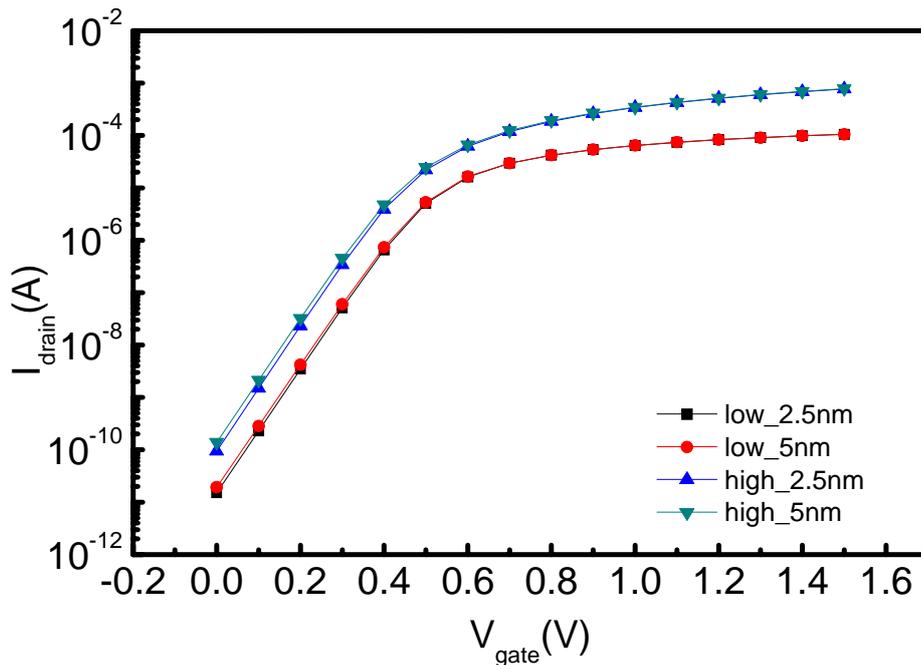


圖 7 2.5nm 二氧化矽絕緣層與 5nm 的高介電絕緣層在不同電壓下的  $I_{ds}-V_{gs}$  特性曲線 (low 為  $V_{DD}=50mV$ 、high 為  $V_{DD}=1.1 V$ )。

### 五、綜合探討

我們知道主要控制漏電流大小的因素為氧化層厚度以及閘極電壓大小。當閘極電壓越大時，能帶彎曲越明顯，直到進入累積層後，能障厚度變薄，使得電子容易穿過氧化層，形成穿隧。CBET 的穿隧電子是由汲極與源極補充，而 VBET 的電子穿隧後則會在價電層留下一個電洞，而在汲極與源極無外加偏壓的情況下，因為電位差為零，造成電洞往基底累積，可能因此造成元件的影響，於是後來在 bulk 的基底層上加上 BOX(buried oxide)，演變成 SOI(silicon-on-insulator)結構，用以阻止電洞累積在基底中。

上述結果藉由二維的 bulk 元件結構，模擬 nMOS 元件之電壓電流特性後，開啟穿隧電流機制並根據 I.T.R.S 規格調整漏電流大小，降低對電流電壓特性之影響，完成基本元件架構。接著更改變數，對照不同厚度及不同材料之介電質參數，觀察介電質對於元件之電場及電流影響，由圖表與數據中，我們可以發現電流電壓特性曲線並非做完全理想的平移，於是我們再進一步觀察此變數對漏電流的影響。

從圖 8 中可以看出在厚度增加且介電質也增加的情況下，閘極對通道電流的控制力也較佳，因為電子不易穿透較厚之絕緣氧化層。所以藉由此變數模擬，可以判斷出改變絕緣氧化層材料來增加介電質大小的方式，以增加氧化層厚度來達到加強閘極的控制能力，在未來在微縮技術中，是可以被執行的。

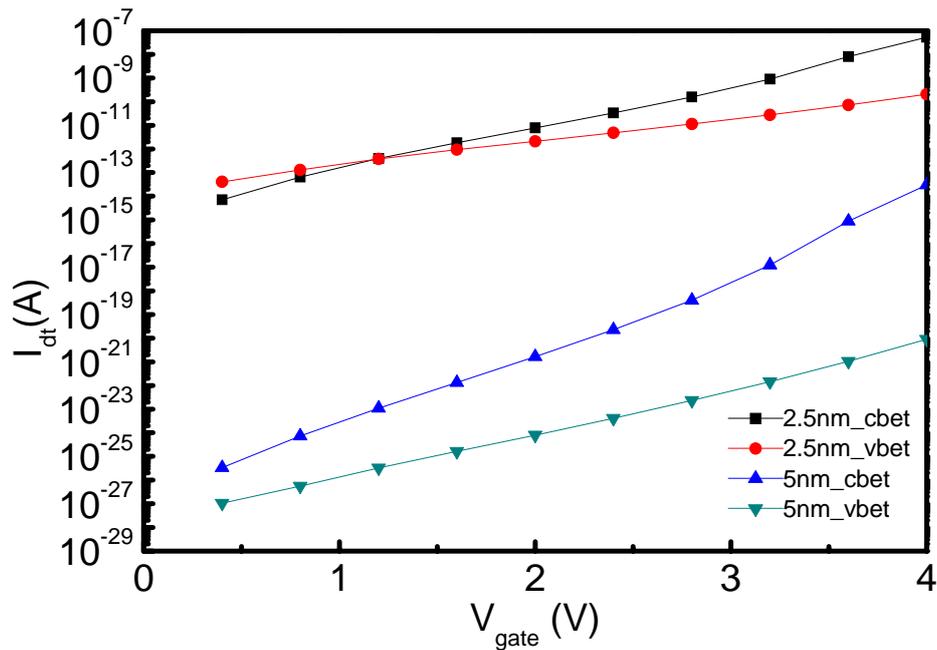


圖 8 在不同厚度下，不同電子穿隧機制之漏電流大小。

### 誌謝

此論文是由國科會補助。

### 參考文獻

1. Boucart, K, Ionescu, A.M., 2007 "Double-Gate Tunnel FET With High- $\kappa$  Gate Dielectric," *IEEE Trans on Electron Devices*, VOL. 54, NO. 7, pp. 1725-1733.
2. Cao, K. M., Lee\*, W.C., Liu, W., Jin, X, Su, P., Fung', S . K.H., An', J.X., Yu', B., and Hu, C., 2000 "BSIM4 Gate Leakage Model Including Source-Drain Partition," *IEDM Technical Digest International*, pp. 815-818.
3. Chang, L., Choi,, Y.K., Kedzierski, J., Lindert, N., Xuan, P., Bokor, J., Hu, C., and King, T.J., 2003, "Moore's Law Lives on," *IEEE Circuits & Devices Magazine*, VOL. 19, NO. 1, pp. 35-42.
4. Solomon, P.M., Guarini, K.W., Zhang ,Y., Chan, K.K., Jones, E.C., Krasnoperova, G. M., Ronay, M., Dokumaci, O., Hovel, H.J., Bucchignano, J. J., Cabral, Jr.C., Lavoie, C., Ku, V., Boyd, D.C., Petrarca, K.S., Yoon, J.H., Babich, I.V., Treichler, J., Kozlowski, P.M., Newbury, J.S., D'Emic, C.P., Sicina, R.M., Benedict, J. and Wong, H. S.P., 2003 " Two Gates Are Better than One," *IEEE Circuits & Devices Magazine*, VOL. 19, NO. 1, pp. 48-62.
5. Lee, W. C., Hu, C., 2001, "Modeling CMOS Tunneling Currents Through Ultrathin Gate Oxide Due to Conduction- and Valence-Band Electron and Hole Tunneling," *IEEE Trans on Electron Devices*, VOL. 48, NO. 7, pp. 1366-1373.