

# 奈米範圍之場效電晶體臨界電壓 對摻雜質濃度變異的敏感度

林政男<sup>1</sup> 陳俊龍<sup>1</sup> 蒲佳輝<sup>1</sup> 賴亮林<sup>1</sup> 駱俊銘<sup>1</sup> 江孟學<sup>2</sup>

<sup>1</sup> 國立宜蘭大學電子工程學系學生

<sup>2</sup> 國立宜蘭大學電子工程學系助理教授

## 摘 要

此論文主要探討摻雜濃度對臨界電壓敏感度的變異之關係，並將重點放在高度微縮下的金屬-氧化物-半導體場效電晶體，簡稱金氧半場效電晶體（MOSFET），並且探討其臨界電壓與摻雜濃度之間的關係是否依舊能緊密結合？如果這個答案是肯定的，未來在元件的設計上，我們很可能會面臨到準確控制臨界電壓的問題。因此，我們深入此問題，研究當 MOSFET 元件的閘極長度從次微米微縮至幾十奈米的範圍之下，臨界電壓對低到高摻雜濃度範圍下變化之關係。我們將根據所學的基礎學理之解析方程式來做臨界電壓在學理上的分析與探討，並且嘗試著預測在高度微縮下之 MOSFET 可能產生的問題。接著利用元件模擬程式以二維（2D）的元件架構加以模擬驗證。最後，將模擬數據結果與理論值來相互對照，分析兩者之間的差異處。最後將所得的相關數據加以整理，以提供元件設計者在奈米範圍下 MOSFET 之設計，能有一個參考的方向與準則。

**關鍵字：**臨界電壓、摻雜濃度、金氧半場效電晶體

# Threshold Voltage Dependence on Channel Doping for Nanoscale MOSFETs

Jeng-Nan Lin<sup>1</sup> Jiun-Lung Chen<sup>1</sup> Jia-Huei Pu<sup>1</sup>  
Liang-Lin Lai<sup>1</sup> Luo<sup>1</sup> Meng-Hsueh Chiang<sup>2</sup>

<sup>1</sup> Student, Department of Electronic Engineering, National Ilan University

<sup>2</sup> Assistant Professor, Department of Electronic Engineering, National Ilan University

## Abstract

The threshold voltage dependence on channel doping for scaled MOSFETs is investigated. The physical insight to the impact of doping density fluctuation on device characteristics is analyzed via theoretic study and 2-D device simulation. Due to the progress of process technique, the device size has been scaled quite aggressively. Within the small volume of the transistor channel, even a small variation in the number of impurity atoms will bring a very significant impact to the effective doping density. If the classical relationship between threshold voltage and doping density continues to hold, controlling  $V_T$  very precisely will remain as a challenging task and potentially become an obstacle in the future. In this paper, we reexamine the relationship between the threshold voltage and doping density for continuous device scaling.

**Keywords** : Threshold voltage, doping density, MOSFET.

## 一、前言

隨著半導體製程技術不斷地進步，MOSFETs 元件的尺寸也不斷地微縮，在相同體積下的 IC 所能容納的電晶體數目也持續的增加，因此能降低製程上的成本與提升 IC 的運算速度。然而 IC 發展的時間從 1959 年到現在，也不過短短幾十年，但其成長速度非常驚人，直到現今，IC 內的元件數目已經到了幾千萬個。

製程技術雖然不斷地進步，但元件的結構與製程技術的原理卻都是大同小異，然而目前大眾認為是「必然」的原理與技術能支持元件微縮持續到哪個境界呢？過去，Gordon Moore 曾經提過一個大膽的預測，IC 上的元件密度，每隔一年左右將會加倍，這個理論在後來被修正到了每十二到十八個月，IC 上的元件密度才會加倍[1]，不過長年下來一直都是製程技術進步的指標。

可是，近年來 IC 上的元件密度的成長速度已經有漸漸趨於平緩的趨勢，若是元件密度的成長速度無法如以往順利的往上提升，那麼著名的 Moore's Law 將不再適用於未來 IC 上元件密度的成長指標，而阻礙元件密度成長的主要原因之一就是元件本身存在的物理效應。

隨著元件不斷地微縮，原本在長通道上可忽略的物理特性也一一地浮現出來，這些效應對元件本身所造成的影響已經不容許輕視。然而，元件在受到這些效應的影響之下，我們之前在書籍上所學到的相關知識及文獻上對於元件臨界電壓( $V_T$ )控制的探討[2-3]，是否能再繼續適用於高度微縮下的元件？倘若不考慮短通道效應，元件是否就可以無限制的持續微縮？以上所提到的這些問題，都是我們極力想去探討的部份，因此我們將此論文重點放在  $V_T$  與摻雜濃度( $N_A$ )之間的關係，並且針對此部份做詳細與深入的探討。

## 二、研究方法

首先，我們試著從傳統的學理公式方面，來對 bulk 與 partially depleted (PD) SOI 兩種製程技術的

臨界電壓與摻雜濃度之敏感度作古典物理上的學理分析。

當表面電位( $\Psi_s$ )達到強反轉時，此時臨界電壓學理上推導就如公式(1)所示：

$$V_T = \frac{qN_A W_m}{C_o} + \psi_s (inv) \quad (1)$$

若是考慮到平帶電壓( $V_{FB}$ )的影響，則須在公式(1)的右半部加入  $V_{FB}$  的影響。 $q$  是基本電荷， $N_A$  是受體摻雜濃度， $W_m$  是表面空乏區的最大寬度， $C_o = \epsilon_{ox} / d$ ， $C_o$  是閘極氧化層電容， $\epsilon_{ox}$  是絕緣體的介電常數， $d$  是絕緣體厚度， $\Psi_s (inv)$  是強反轉時的表面電位，在此我們假設  $\Psi_s (inv) = 2\Psi_B$ 。

底下的公式(2)、公式(3)分別為 bulk、PD SOI 的臨界電壓公式， $V_{FB} = \phi_m - (\chi + \Psi_B + E_g / 2q)$ ， $\phi_m$  是金屬的工作函數， $\chi$  是電子親和力， $E_g$  是能隙， $\epsilon_s$  是半導體介電常數， $\Psi_B = kT \ln(N_A / n_i) / q$ ， $k$  是波茲曼常數， $T$  是絕對溫度， $n_i$  是本質載子濃度， $d_{si}$  是 PD SOI 的表面空乏區寬度[4]。

$$V_T = V_{FB} + \frac{\sqrt{2\epsilon_s q N_A (2\psi_B)}}{C_o} + 2\psi_B \quad (2)$$

$$V_T = V_{FB} + \frac{q N_A d_{si}}{C_o} + 2\psi_B \quad (3)$$

依循上列公式(2)與公式(3)，分別帶入所假設的氧化層厚度(3 nm、2.5 nm、2 nm)與  $N_A$  ( $5 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ )，即可求出理想的  $V_T$ ，所求得之數據往後將與所模擬出來的結果來做驗證。除此之外，我們將嘗試著分析以上兩個臨界電壓公式，試圖找出影響  $V_T$  最主要的參數值。

至於元件的模擬方面，我們所使用的是 Synopsis 公司所推出的 Medici 這套元件模擬軟體。由於元件結構上視為一個對稱性結構，因此只需要使用 2D 模擬，以增加模擬上的速度，並且不考慮近代物理所造成的物理效應，全部的 model 僅僅只使用古典物理的相關參數[5]，主要是為了能與學理上的推導來做公平的驗證，最後將所得數據以圖表

的方式來呈現。

此論文模擬時的元件之設計，是使用類似 Fig. 1 圖中元件結構的設計方式，並且針對不同的閘極長度來作參數上的設定，而參數設定的主要依據是參考《International Technology Roadmap for Semiconductors 2003 Update》[6]。但為了模擬後，數據之間能彼此互相比較與分析，實際上的設定值還是有些許的調整，詳細的參數設定請參考 Table 1，而所有的低  $V_{DD}$  電壓都統一使用 0.1V。

由於模擬軟體並無法在模擬完成後，直接告知  $V_T$  的大小為何，因此我們必須利用測量的方式來得知  $V_T$  的大小，而此論文為了方便起見， $V_T$  測量方式為採用等電流測量法，其測量定義為：

$$I_D = 10^{-7} \times \frac{W}{L} \quad (\text{A}) \quad (4)$$

$W$  是閘極通道寬度， $L$  是閘極通道長度。我們只要計算出等電流大小，即可在  $I-V$  特性曲線上找出  $V_T$  之值。

在此附帶一提，PD SOI 的  $d_{si}$  為人為操作設定，但因此論文的  $N_A$  範圍比較廣，若是針對各濃度一一設定參數值，元件結構上會變得較不客觀，如此一來，所模擬出來的數據，若要互相做比較將會有公平性的疑慮，因此模擬參數上的設定，採用相同的閘極長度將使用同樣的  $d_{si}$ 。

### 三、結果與討論

Fig. 2 是 bulk 學理所推導出來的  $V_T$  對  $N_A$  敏感度關係之曲線圖，其中  $V_T$  將會隨著  $N_A$  的提高而逐漸變大，並隨著絕緣體厚度的下降而減少。此外，我們還可以從 Fig. 3 中更加確定主要影響  $V_T$  變化的因素，還是受  $N_A$  與絕緣體厚度這兩個參數的影響。

在此，可以從觀察兩個圖表中，發現一個嚴重的問題，就學理上可知  $N_A$  並不能無止境提升，否則將會脫離半導體特性，而且絕緣體厚度又須持續地降低。如此一來，將會導致  $V_T$  變得非常小，甚至可能出現負值，若是這問題無法迎刃而解的話，

那麼在此我們將可以大膽的假設 bulk 的技術將無法長久適用於持續微縮的 MOSFETs。

至於 PD SOI 所計算出來的關係圖與 bulk 在高濃度部份會有很大的差距，但因受限於此論文所設計元件結構上的限制，因此在  $N_A$  比較大時，實際的  $d_{si}$  會小於人為設定值，此時  $V_T$  的學理計算方式將會趨近於 bulk。而  $N_A$  在較低之值時，其  $d_{si}$  將會被限制在人為設定值，但其值與 bulk 之間的相差並不算大，且誤差還在我們可以接受的範圍之內，因此為了方便理想值、bulk 以及 PD SOI 的數據比較，將統一使用相同的學理數據，也就是只有使用 bulk 的學理上的  $V_T$  值。

元件模擬結果的臨界電壓對受體摻雜濃度靈敏度的關係圖就如 Fig. 4、Fig. 5、Fig. 6 所示。從三張圖表中，還是可以發現所模擬出來的數據與理想值上尚有一段差距，主要造成的原因就是碰穿效應 (punch-through effect)、電荷分享效應 (charge sharing effect) 以及臨界電壓測量方式所造成的誤差。

#### (一) 碰穿效應

碰穿效應的影響，主要發生在受體摻雜濃度較低的時候，且當元件尺寸越小，其影響愈是嚴重，甚至不需供給偏壓就會呈現導通狀態。如 Fig. 5 與 Fig. 6 中， $N_A$  在濃度較低的狀態下，將會有嚴重的影響。以現階段來說也許增加  $N_A$  的大小，即可有效的改善碰穿效應的問題，但是從先前曾經提及到提升  $N_A$  並非萬靈藥，因此要如何有效的控制碰穿效應將是一個值得去探討的問題。

#### (二) 電荷分享

電荷分享在本論文中，明顯發生在 PD SOI，其原因是因為元件設計時，不管閘極長度的長度為何，其中的  $t_{si}$  永遠都是一個固定值，因此當閘極長度持續微縮時，所受到效應的影響會遠比較長的閘極長度還要嚴重許多，就如同 Fig. 6 所示。至於 bulk 在極短的閘極長度下，所受到的電荷分享效應的影響沒有 PD SOI 如此的嚴重，其原因就在於 bulk 在結構上的設計，汲、源極的厚度也是依比例微縮。而這樣的結果在設計元件之時，我們就已經能預測

到這樣的問題，因此在極短的閘極長度會有這麼嚴重的影響，我們並不感到意外。

### (三) 臨界電壓測量方式

至於，我們所使用的  $V_T$  測量方式，只是一個業界上統計出來常用的一個數據而已，大致上就落在公式(4)的範圍之內，若是硬要與學理上的  $V_T$  做個精確的比對，事實上不是一件容易的事，而且我們只要確定所測量出來的數據能夠與學理上之間得到一定的關係比例即可，這也就符合我們此論文探討的重點。

除了上述幾個從圖表中可以發現到的效應影響之外，事實上還有一個嚴重的問題存在於高度微縮下的 MOSFETs，那就是汲極引致能障下降 (Drain-induced barrier lowering, DIBL)，DIBL 效應會由於汲極端施加電壓使得汲極往源極方向的側向電場變大，造成次臨界電流的增加，並且使得  $I-V$  特性曲線左移，進一步地造成漏電流的上升與  $V_T$  的下降，這個效應由於在長通道上幾乎沒有影響，但在短通道上就不可忽略之。

雖然在 Fig. 4 ~ Fig. 6 中，並沒有明顯的發現到 DIBL 的效應，其原因是當時模擬所使用的  $V_{DD}$  是在低電壓的情況之下，因此元件受到側向電場的影響就不是很明顯，幾乎可以說是沒有影響。但是若要使元件動作，勢必要施加更高的電壓，因此受到的側向電場的影響將會大過於低電壓的狀態下，並且隨著元件尺寸的微縮，所造成的影響也會逐漸嚴重。

TABLE 2 是從模擬結果所計算出來 DIBL 影響的大小值，我們可以從表中發現當閘極長度越短時，DIBL 的影響也就越大，且 PD SOI 所受到的影響也比 bulk 還要更大，甚至在極小的閘極長度會因為漏電流過大而測量不出 DIBL，這個原因就如同之前在電荷分享部份所提到的情況是一樣的，也都是由於  $t_{si}$  無法隨著尺寸微縮而做調整所造成的。

雖然我們也是可以利用提升  $N_A$  或是降低  $V_{DD}$  的電壓值來改善 DIBL 的影響，但是此方式也只能治標不能治本，如何找到一個永久的解決之道，目前也是需要極力去探索的。

## 四、結論

我們可以從 Fig. 4 ~ Fig. 6 所模擬出來的結果發現，若是不考慮到上述的效應之影響，其  $V_T$  與  $N_A$  的關係還是與理想值呈現一定比例的曲線關係，因此驗證了我們之前學理推導上所假設的可能性。在此，我們將可以下一個肯定的結論，不論是 bulk 或是 PD SOI 技術，在往後的未來都是無法適用於高度微縮下的製程技術，除非能利用其他方面來改善  $V_T$  或是新的製程技術出現，如此一來，才能夠使得元件擁有持續微縮的動力。

誌謝：此論文是由國科會部份補助 (NSC92-2218-E-197-002)。

## 參考文獻

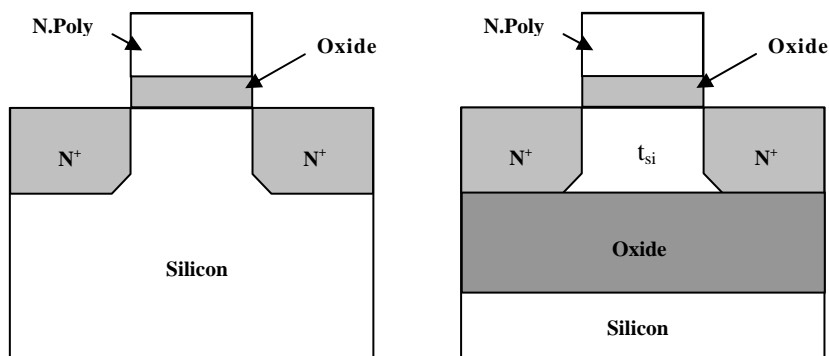
- [1] Michael Quirk、Julian Serda 著，羅文雄、蔡榮輝、鄭岫盈譯，劉文超、許渭州 校閱，半導體製程技術，台灣培生教育出版股份有限公司，2004。
- [2] M. J. Sherony, L. T. Su, J. E. Chung, and D. A. Antoniadis, "Reduction of Threshold Voltage Sensitivity in SOI MOSFET's," *IEEE Electron Device Letter*, vol. 16, pp. 100-102, Mar. 1995.
- [3] M. J. Sherony, L. T. Su, J. E. Chung, and D. A. Antoniadis, "Minimization of Threshold Voltage Variation in SOI MOSFETs," *Proc. IEEE Internat. SOI Conf.*, 1994, pp. 131-132.
- [4] 施敏原著，黃調元譯，《半導體元件物理與製程技術(第二版)》，國立通大學出版社，2002。
- [5] 《Medici User Guide》，2003.6 ed.，Synopsis。
- [6] 《The International Technology Roadmap for Semiconductors》，2003。

**Table 1** 元件模擬參數設定值

閘極長度 ( $\mu\text{m}$ )	bulk		PD SOI			
	絕緣體厚度 (nm)	High $V_{DD}$ (V)	絕緣體厚度 (nm)	High $V_{DD}$ (V)	$d_{si}$ (nm)	$t_{si}$ (nm)
0.25	3	2.5	3	2.5	50	100
0.18	3	1.8	3	1.8	50	100
0.15	3	1.5	3	1.5	50	100
0.13	2.5	1.3	2.5	1.3	40	100
0.10	2.5	1.2	2.5	1.2	40	100
0.09	2.5	1.2	2.5	1.2	40	100
0.065	2	1.2	2	1.2	30	100
0.05	2	1.2	2	1.2	30	100
0.035	2	1.1	2	1.1	30	100

**Table 2** 正規化的 DIBL 影響

閘極長度 ( $\mu\text{m}$ )	DIBL for bulk (mV/V)		DIBL for PD SOI (mV/V)	
	$N_A = 5 \times 10^{17} \text{ cm}^{-3}$	$N_A = 2 \times 10^{18} \text{ cm}^{-3}$	$N_A = 5 \times 10^{17} \text{ cm}^{-3}$	$N_A = 2 \times 10^{18} \text{ cm}^{-3}$
0.25	3.887080	1.943750	6.4787500	3.369160
0.18	7.774110	3.932940	14.977050	7.145880
0.15	12.49500	6.386420	25.433570	11.17571
0.13	15.06333	6.802500	28.749580	14.57666
0.10	26.23909	12.72272	57.248900	32.68818
0.09	32.51181	15.90272	68.469000	40.81636
0.065	46.29381	24.46727	141.00163	60.07636
0.05	64.92163	40.81636	×	99.65563
0.035	93.29447	74.63600	×	431.4865



**Fig. 1.** bulk (左) 與 PD SOI (右) 元件結構圖

奈米範圍之場效電晶體臨界電壓對摻雜質濃度變異的敏感度

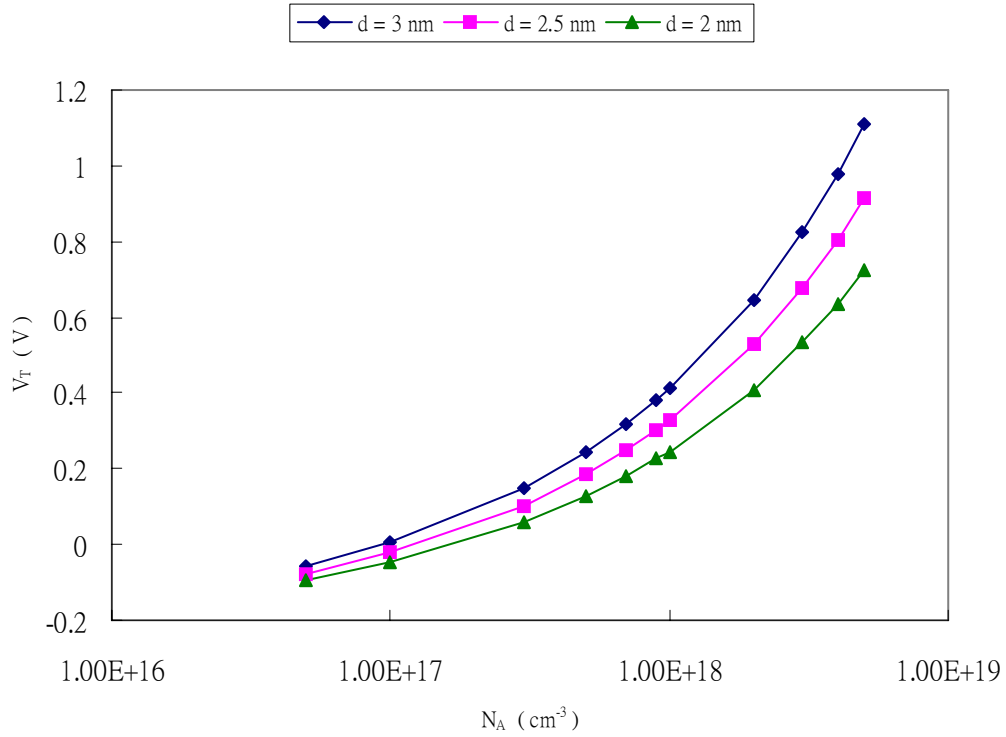


Fig. 2. 學理上  $V_T$  與  $N_A$  的敏感度關係圖

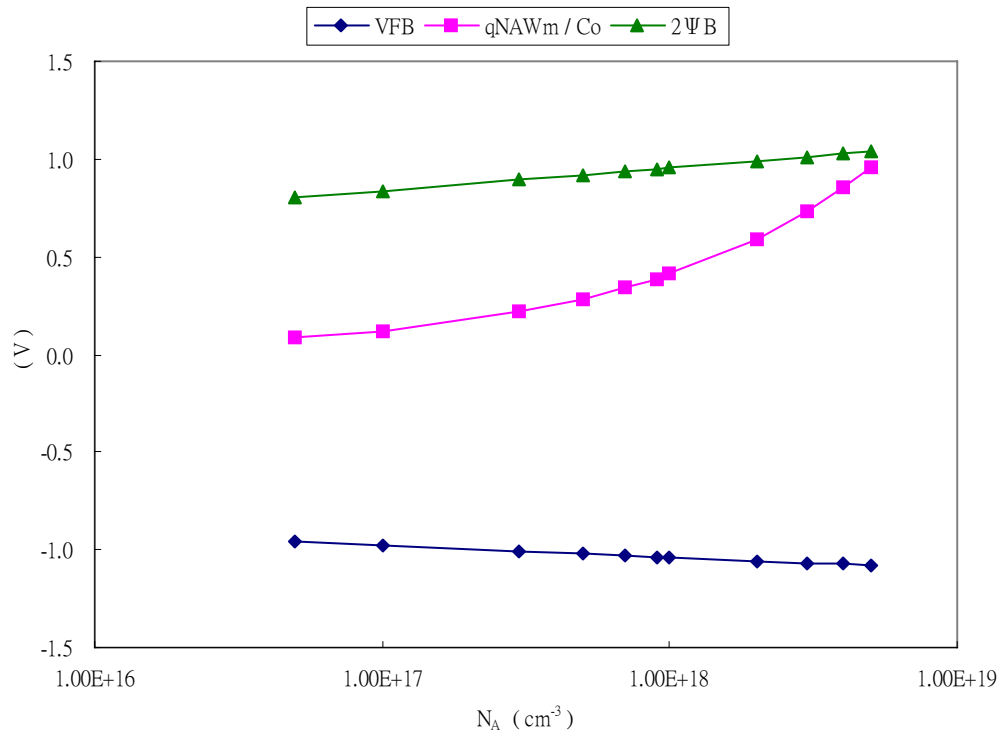


Fig. 3. 臨界電壓公式細部參數對  $N_A$  的敏感度關係圖 ( $d = 2.5$  nm)

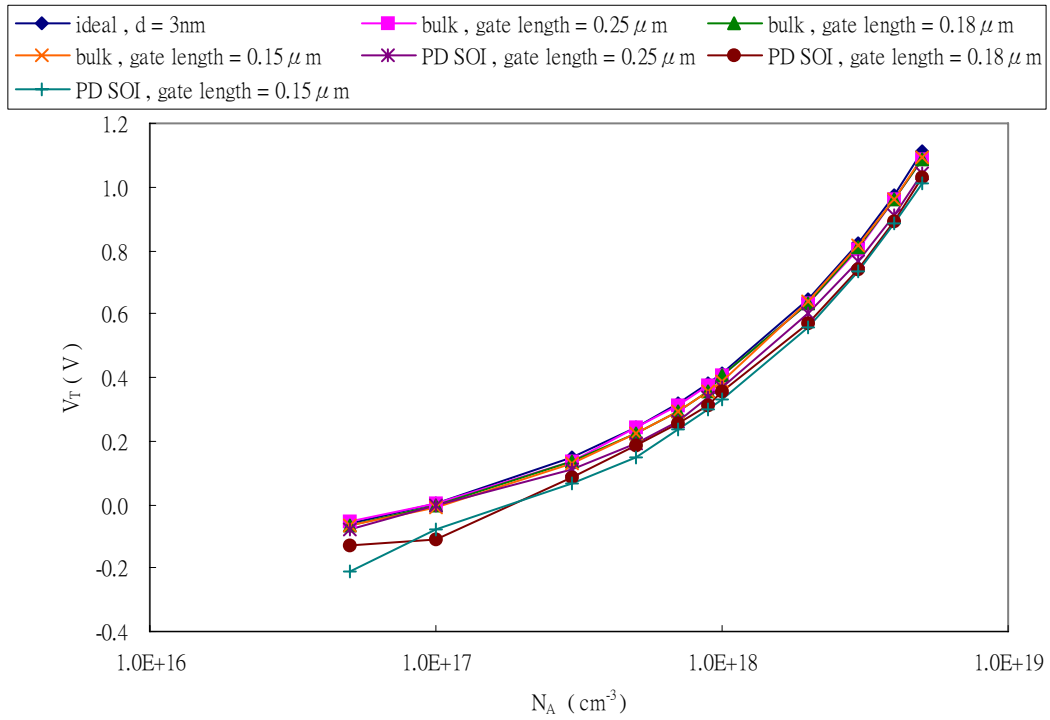


Fig.4. 模擬結果與理想值之  $V_T$  與  $N_A$  的敏感度關係圖 ( gate oxide = 3 nm,  $V_{DD} = 0.1$  V )

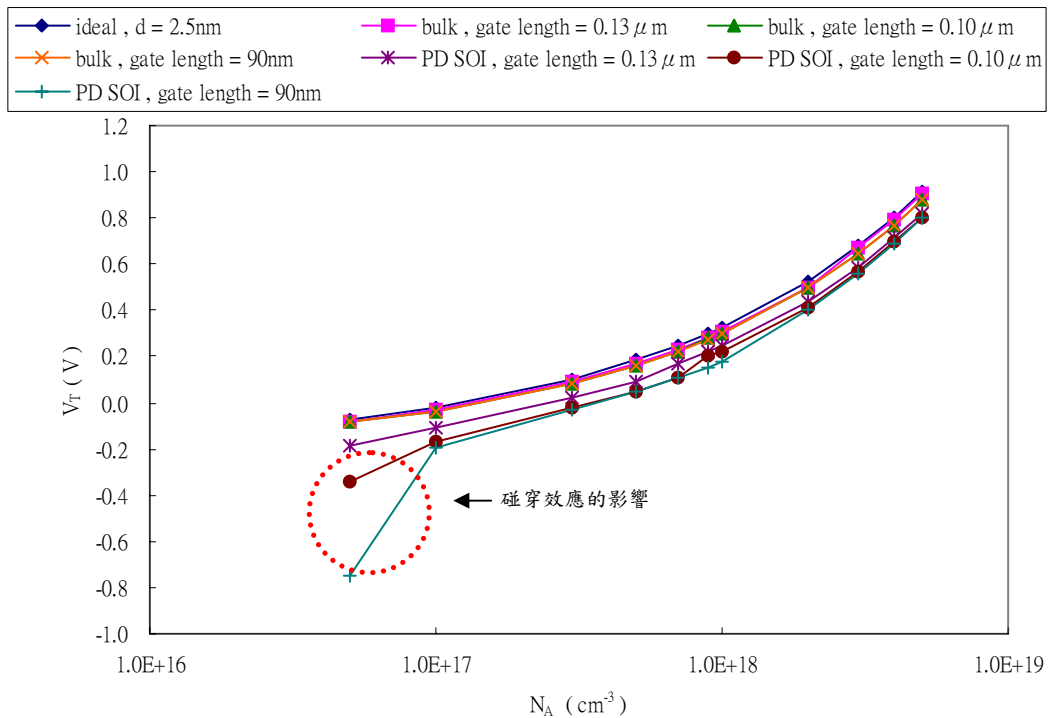


Fig. 5. 模擬結果與理想值之  $V_T$  與  $N_A$  的敏感度關係圖 ( gate oxide = 2.5 nm,  $V_{DD} = 0.1$  V )



奈米範圍之場效電晶體臨界電壓對摻雜質濃度變異的敏感度

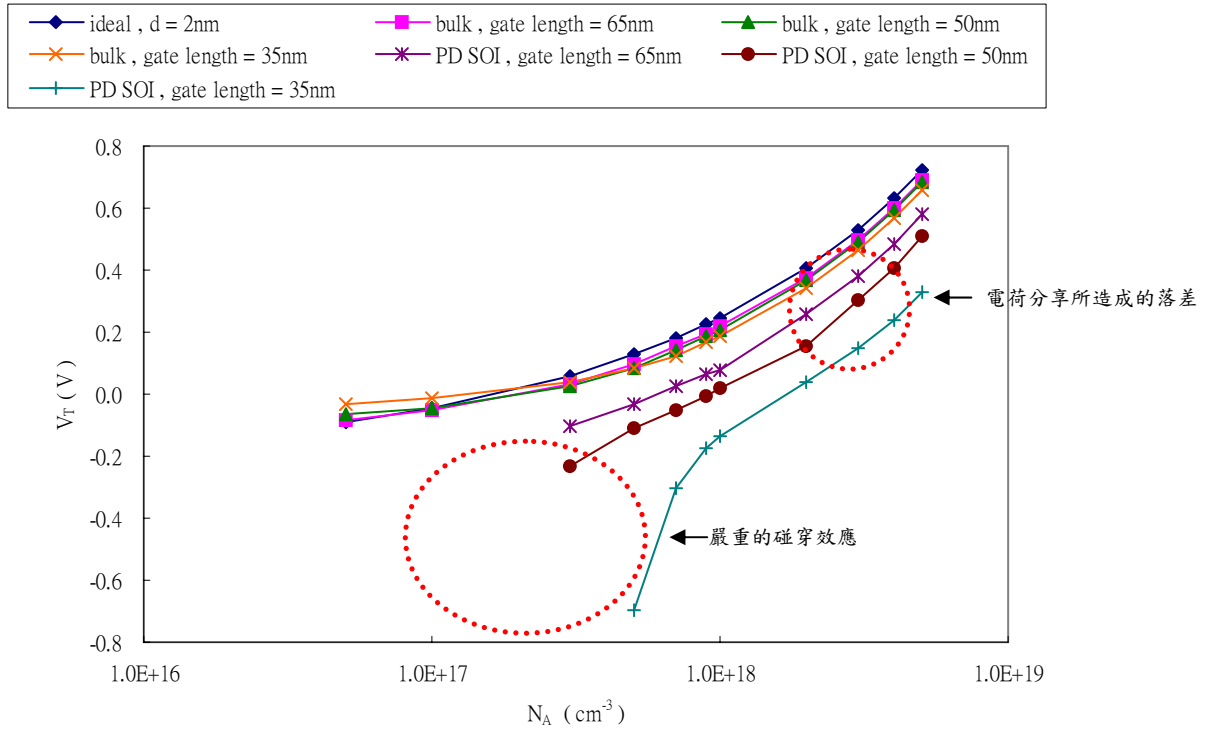


Fig.6. 模擬結果與理想值之  $V_T$  與  $N_A$  的敏感度關係圖 ( gate oxide = 2 nm,  $V_{DD} = 0.1\text{ V}$  )

