

雜散摻雜原子對多重閘極電晶體的影響

林政男¹ 江孟學²

1. 國立宜蘭大學電子工程學系碩士班學生
2. 國立宜蘭大學電子工程學系副教授

摘 要

雜散摻雜效應 (Discrete dopant effects) 透過學理上的分析與二維、三維的數值模擬，探討在元件極度微縮下的特性變化，尤其是在多重閘極電晶體 (Multi-gate MOSFETs) 結構上。為了深入了解基本的物理意義，摻雜原子 (Doping atoms) 的變動問題將會以宏觀的模型處理，重點放在奈米微縮元件上的摻雜物離散分佈變化，特別是當通道上只有極少數雜質原子的極端例子。結果將會表現出極度微縮元件易受到離散摻雜的影響，即使是在一個未摻雜的矽通道上都可能引起無法接受的變動範圍，因此如何有效的控制摻雜，在元件設計方面將會是有其必要性的。

關鍵詞： 雜散摻雜、多重閘極電晶體、臨界電壓、汲極引致能障下降

Impact of Discrete impurity Atoms on Multi-Gate MOSFETs

Jeng-Nan Lin¹ Meng-Hsueh Chiang²

1. Student, Department of Electronic Engineering, National Ilan University

2. Associate Professor, Department of Electronic Engineering, National Ilan University

Abstract

Impact of discrete dopant atoms on multi-gate MOSFETs including double-gate and triple-gate devices are investigated via physical analyses and numerical simulations. To gain insight into the discrete dopant effects, macro-modeling approach is used for the distribution of random dopants in the channel. It is found that such effects could become more significant as devices continue to scale. Even for the extreme case of a single atom in the expected undoped channel as a result of the undesired impurity, impact from the randomness of the single dopant is still unavoidable. Device design issues and insights of multi-gate CMOS devices accounting for discrete dopants are discussed in the paper.

Keywords : Discrete dopant effects, Multi-gate MOSFETs, Threshold voltage, DIBL

一、前言

由於半導體製程技術的進步，元件的通道長度也不斷地持續微縮，以往在古典物理上所被忽略的短通道效應對元件的影響也一一浮現出來，並且隨著通道的逐漸微縮顯得越明顯，因此在元件設計上必須考慮到更多層面的影響，進一步增加了元件設計上的困難度。

對於目前已知的短通道效應，已有不少相關的專家、學者投入了研究，但在雜散摻雜效應這方面的研究則較被一般人所忽略，因此直到目前還是無法正確的了解雜散摻雜是否會造成元件特性上多大程度上的改變，因此也無法有一個適當的考量與取舍應用在元件設計上[1-3]。

以往在較大尺寸的元件，摻雜物在將通道上的分佈會視為一個均勻的分佈，就如同 Fig. 1 所示。事實上就目前的摻雜技術而言，摻雜物在通道上的分佈並不會如此均勻的整齊排列，但在較大尺寸元件，由於通道上的摻雜物數目較為龐大，因此分佈狀態會較近似於均勻理想的分佈，因此我們可假設通道上的摻雜物分佈狀態為一個均勻的分佈，以至於忽略雜散摻雜效應所帶來的影響。

元件不斷地持續微縮，然而摻雜原子的體積卻有其極限（最小極限大約在 $3 \sim 5 \text{ \AA}$ 左右），就在通道持續的微縮，且摻雜原子又保持一定值的情況下，在極度微縮元件的通道上可能僅含有極少數的摻雜原子，就足以造成非常高的摻雜濃度，就如同 Fig. 2 所示，然而這些摻雜物座落在通道上位置的不同，是否會造成元件特性上的改變？以 nMOSFET 為例，即使在一個完全未摻雜受體（acceptor）雜原子的通道上，汲、源極方向的施體（donor）雜原子也可能會藉由擴散的方式進入到通道區域（Fig. 3），雜散的施體摻雜原子在通道上是否又會對元件造成影響某種程度上的變化？

基於上述的研究動機，我們計畫透過學理方面的解析與二維、三維數值上的模擬，探討在極度微縮元件下的摻雜原子變動對於元件本身特性上的影響，且雜散摻雜原子變動的問題將會以宏觀模型

來做近似處理。為了追求速度與短通道效應抑制能力，先進元件的架構也將在此研究中被採用，且重點會放在奈米微縮的元件尺寸下。

二、雜散摻雜

由於本研究重點放在先進元件的結構上，理想雙閘極結構（Fig. 1）與多重閘極結構（Fig. 4）將會是本研究的重點結構，模擬的通道長度從 25nm 微縮到 7nm 的範圍。

從 Fig. 1 可以發現到理想雙閘極結構為一個對稱性結構，因此在模擬上可以省略元件寬度（Z 軸）的方向，僅剩水平方向（X 軸）的通道長度與垂直方向（Y 軸）的矽薄膜厚度，因而在元件模擬可採用二維模擬來縮短模擬時間，也由於採用二維模擬的關係，元件寬度在模擬上的預設值為 $1 \mu\text{m}$ [4]。在多重閘極結構方面，由於三個維度皆非對稱性結構，模擬上無法做簡化，需使用三維模擬來實現，在結構上的設定，為了能有較佳的短通道效應抑制能力，矽薄膜高度（H）與寬度（W）都是 1/2 的通道長度[5]。其餘的相關參數設定皆參考 I.T.R.S. 路程表[6]來做設定。

在先前曾經提到雜散摻雜的觀念，但這個觀念並無法直接利用模擬程式的內部指令實現，在此實現的方式則是先行將通道分割成數個正方形區塊，就如同 Fig. 5 所示。而為了圖表上的閱讀方便，X 軸由左至右標示為 X01、X02...，Y 軸方向從上至下標示為 Y01、Y02...，若是為三維結構則 Z 軸方向則必須考量其中（由前至後標示為 Z01、Z02...）。再依據所分割出來部分，做單一區塊的電氣模擬，當通道上所有的區塊模擬完畢以後，即可了解雜散摻雜對於元件特性上的影響。至於正方形區塊的邊長 l 可以利用下列公式來做定義[7]：

$$l^3 = 1 / N_{A/D} \quad (\text{cm}^{-3}) \quad (1)$$

$N_{A/D}$ 是受體／施體摻雜濃度，如此設定的目的是為了確保一個正方形面區塊內，可以容納一個的雜原

子。若是利用上述公式先行定義 N_{AD} ，所推算出的邊長 l 可能會無法使得本研究元件上的通道被完整分割成數個等份的大小，為了配合通道長度與矽薄膜厚度的大小，在此本研究會先制定出適當的邊長 l ，再利用公式 (1) 反推出摻雜的濃度大小，但如此一來在不同通道長度的摻雜區塊的濃度則無法統一。

本研究在電氣特性的模擬重點放在雜散摻雜下的臨界電壓與 DIBL 變化，臨界電壓的測量方式則採用等電流法則，理想雙閘極元件的等電流法則如同公式 (2) 所示，公式 (3) 則是表示多重閘極結構的等電流法則：

$$I_{V_T} = 10^{-7} \times \frac{2W}{L} \quad (\text{A}) \quad (2)$$

$$I_{V_T} = 10^{-7} \times \frac{W + 2H}{L} \quad (\text{A}) \quad (3)$$

W 是元件／矽薄膜寬度， H 是矽薄膜高度， L 則是通道的長度。

在 DIBL 方面，由於利用等電流法則測量出的臨界電壓在 I - V 曲線上已經趨近於反轉區，無法利用在高、低汲極電壓下所量測臨界電壓值直接相減求得其值，因此 DIBL 的量測將採用在 I_{OFF} 相對應的閘極電壓相減而求得，如此一來可確保測量位置落在次臨界區 (Sub-threshold region)。但在少部分雜散摻雜位置的模擬下，會造成高、低汲極電壓下， I - V 曲線在次臨界區的斜率會不相同，但為了整體比較上能有個基準，在此現象出現的時候還是採取上面的測量標準。

三、結果與討論

在結果與討論這個章節，我們將會依據幾個不同的方向來做探討。

(一) 施／受體雜原子的雜散摻雜效應

本研究的結構採用理想雙閘極結構元件，主要的目的是可以採用二維模擬來縮短模擬上的時間，至於電氣特性模擬重點將放在臨界電壓與 DIBL 因雜散摻雜效應的影響。Fig. 6 與 Fig. 7 分別

是在低、高汲極電壓下，受到雜散受體摻雜原子影響所模擬出臨界電壓的變化，至於 Fig. 8 則是 DIBL 雜散受體摻雜原子效應的變化。Fig. 9~Fig. 11 則是因為雜散施體摻雜原子效應在電氣特性上的變化。

從這些電氣特性的模擬結果中可以發現臨界電壓在施／受體摻雜原子的雜散摻雜效應變化方向大致上是呈現相反的方向，但是矽薄膜厚度方向 (Y 軸) 的變化在施體摻雜原子之下顯得較不明顯。也可以發現若是要獲得較好的 DIBL 的抑制能力，在施體摻雜原子則要將摻雜原子放置在通道中間偏向汲極端，相反地在受體摻雜原子則須將摻雜原子放在靠近通道偏向源極端的位置。

從 Fig. 12 與 Fig. 13 可以看到 $\Delta V_T (V_{T,VD=50mV} - V_{T,VD=V_{DD}})$ 的變化在受體摻雜原子方面會較大，且會隨著通道長度的微縮，其值也會逐漸增大，而在施體摻雜原子方面較不容易受到通道長度變化的影響，換句話說，在施體摻雜原子下的臨界電壓對於通道長度較不敏感，而在受體摻雜原子方面的臨界電壓對於通道長度較為敏感，這會導致元件製程上的困難增加。

此外在 I_{ON} vs. I_{OFF} 方面的比較，從受體摻雜原子方面 (Fig. 14) 可以發現 I_{ON} vs. I_{OFF} 分佈範圍會隨著通道長度的微縮而越增廣泛，這在製程上是我們所不樂意看見的，至於在施體摻雜原子方面 (Fig. 15) 分佈範圍對於雜散摻雜效應較不敏感， I_{ON} vs. I_{OFF} 分佈範圍則隨著通道長度的微縮在 X 軸上會造成左移，也就是導通電流的下降。

(二) 多重閘極結構的雜散摻雜效應

多重閘極結構元件 (Fig. 4) 亦會經由雙閘極與三閘極的數值模擬與分析來探討。在此研究為了達成雙閘極的效果，我們會增加元件上方閘極氧化層的厚度，其值會是兩側氧化層厚度的十倍，如此一來可以降低上方閘極電場對矽通道的影響，而達成一個雙閘極電晶體元件，而在本元件由於 X 軸方向 (矽薄膜寬度) 的模擬結果對於雜散摻雜效應較不敏感，因此重點也將放在 YZ 平面上 (Y 平面表示矽薄膜高度， Z 平面表示通道長度)。

Fig. 16~Fig. 18 為三閘極元件所模擬出的電氣

特性，Fig. 19~Fig. 21 為雙閘極元件所模擬出的電氣特性。在低汲極偏壓的條件之下，兩元件的臨界電壓大致上分佈是相差不大的，最大值出現在 YZ 平面的中央，而在高汲極偏壓的條件下，臨界電壓的最大值不僅會向源極端移動，且 Y 軸方向亦會向埋層氧化層端移動，而三閘極元件受到上方閘極的影響較為嚴重，在 Y 軸變化的情況亦會比雙閘極還要來得劇烈。

從 DIBL 的比較之下，我們可以再次證明三閘極元件受到上方閘極的影響會大於雙閘極元件，而從 DIBL 整體的抑制能力來看，我們亦會發現到三閘極元件的 DIBL 抑制能力會優於雙閘極元件。雖然三閘極在電氣模擬上會優於雙閘極結構，但三閘極由於結構上的設計，在通道轉角處會有所謂的轉角效應（Corner effects）[8]，這又是另一個探討層面，在本論文不再多加敘述。

從三維的多重閘極結構與二維的理想雙閘極結構來判斷，我們可以發現在三維模擬下的電氣特性變化量並不會如同二維模擬如此的劇烈，在此我們可以了解到二維模擬是無法完整的模擬出雜散摻雜效應，因此不管元件是否為一個對稱元件，皆必須使用三維模擬才有辦法正確的模擬出雜散摻雜的效果。

四、結論

從先前的雜散摻雜效應經由學理上分析與數值上的模擬，我們可以發現到理想雙閘極結構與多重閘極結構不管是在施體或受體摻雜原子的雜散摻雜效應皆會引起在元件特性上所不能接受的變化，即使是在一個未摻雜的通道上面。而少數幾個所不想要的摻雜原子落在極度微縮元件的通道上，都有可能引起劇烈的變化，並且會隨著通道長度的持續微縮，雜散摻雜效應將越明顯，因此在往後元件設計上的考量，如何有效的控制摻雜將會是有其必要性的。

在二維模擬中我們忽略的元件寬度方向的雜散效應，造成所模擬的結構並無法顯示出真正的雜

散摻雜對於元件特性的影響，從本研究亦可了解若要針對雜散摻雜效應來做探討，三維架構將是唯一的選擇。

誌謝

此論文是由國科會部份補助，NO.NSC95-2221-E-197-021.

參考文獻

- [1] Asen Asenov, Ramesh Balasubramaniam, Andrew R. Brown and John H. Davies, "RTS Amplitudes in Decanometer MOSFETs: 3-D Simulation Study," *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 839-845, Mar. 2003.
- [2] Asen Asenov, Gabriela Slavcheva, Andrew R. Brown, John H. Davies and Subhash Saini, "Increase in the Random Dopant Induced Threshold Fluctuations and Lowering in Sub-100 nm MOSFETs Due to Quantum Effects: A 3-D Density-Gradient Simulation Study," *IEEE Trans. Electron Devices*, vol. 48, no. 4, pp. 722-729, Apr. 2001.
- [3] Scott Roy and Asen Asenov, "Where Do the Dopants GO?," *Science*, vol.309, pp. 388-390, Jul. 2005.
- [4] Taurus-Device, User Guide, v. 2003.12, Dec. 2003.
- [5] Ji-Woon Yang and Jerry G. Fossum, "On the Feasibility of Nanoscale Triple-Gate CMOS Transistors," *IEEE Trans. Electron Devices*, vol.52, no. 6, pp.1159-1164, Jun. 2005.
- [6] "The International Technology Roadmap for Semiconductors," 2004 Update.
- [7] Xinghai Tang, Vivek K. De, and James D. Meindl, "Intrinsic MOSFET Parameter Fluctuations Due to Random Dopant Placement," *IEEE Trans. VLSI Systems*, vol. 5, pp. 369-376, Dec. 1997.

- [8] Tze-Neng and Meng-Hsueh Chiang, "On the Short-Channel Effects of Multiple-Gate MOSFETs," in *Proc. EDMS*, Nov. 2005, pp. 45.

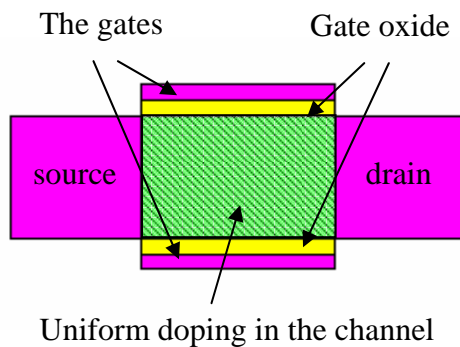


Fig.1. 理想雙閘極結構，通道上視為一個均勻的摻雜。

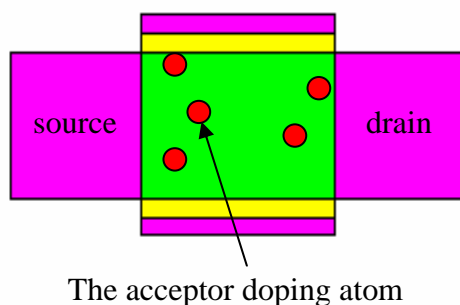


Fig.2. 通道內部的雜散摻雜效應示意圖。

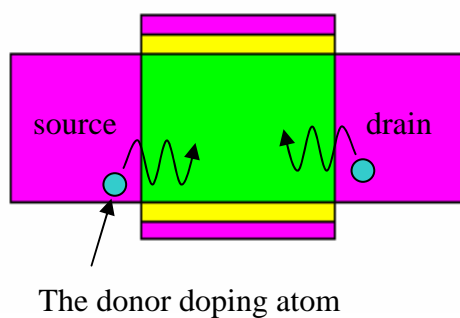


Fig.3. 在一個理想未摻雜的矽通道上，來自汲／源極端的施體摻雜原子藉由擴散移動到矽通道內部。

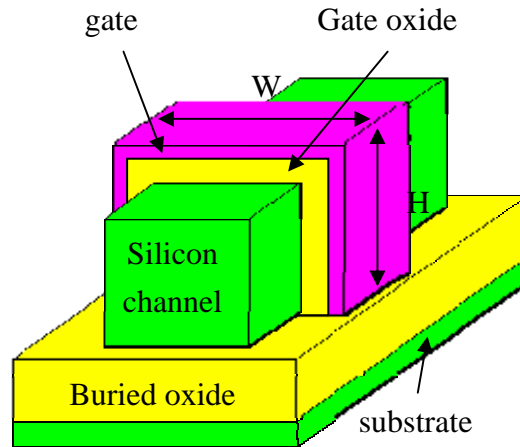


Fig.4. 多重閘極結構電晶體，源極與汲極分別在此平面的前方與後方，矽通道則是被包裹在閘極氧化層內。

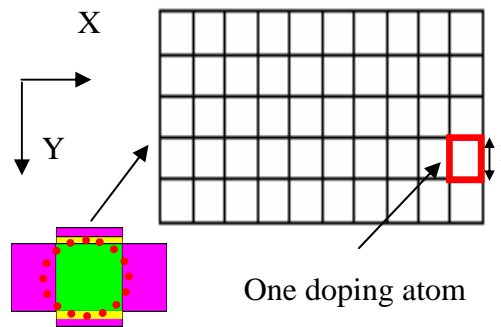


Fig.5. 藉由通道上的分割區塊來造成雜散摻雜效應，一個正方形區塊分別代表著一個摻雜原子座落的位置。

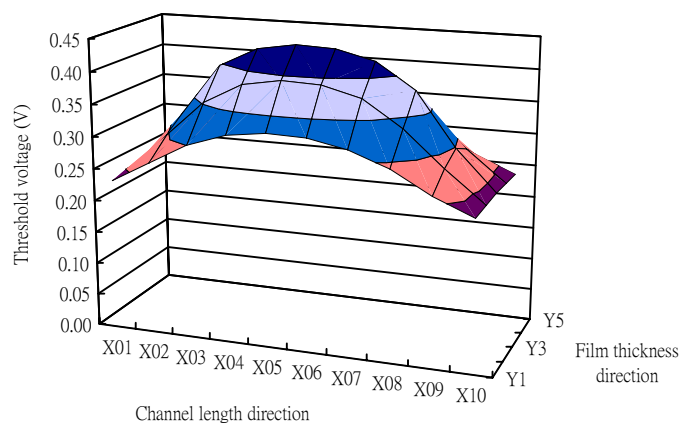


Fig.6. 在理想雙閘極結構，臨界電壓對於受體摻雜原子的雜散摻雜效應的變化 @ $L=25\text{nm}$ 、 $V_D=50\text{mV}$ 。

雜散摻雜原子對多重閘極電晶體的影響

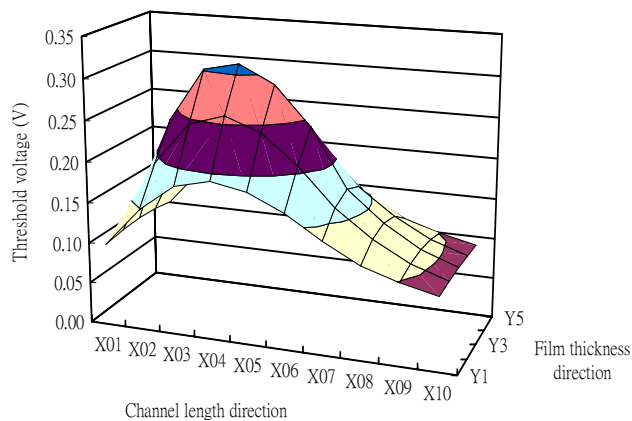


Fig.7. 在理想雙閘極結構，臨界電壓對於受體摻雜原子的雜散摻雜效應的變化
@ $L=25\text{nm}$ 、 $V_D=1.1\text{V}$ 。

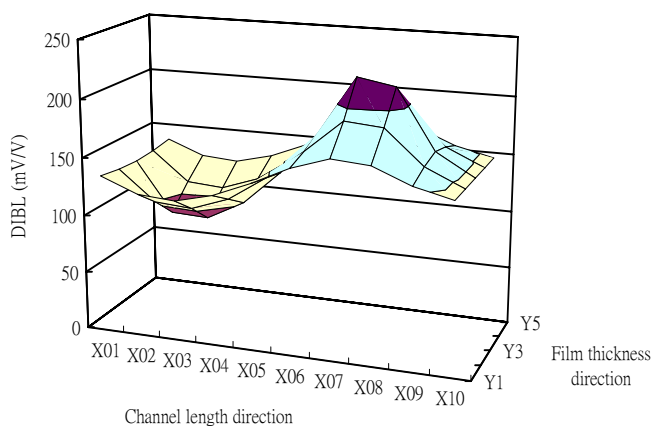


Fig.8. 在理想雙閘極結構，DIBL 對於受體摻雜原子的雜散摻雜效應的變化 @ $L=25\text{nm}$ 。

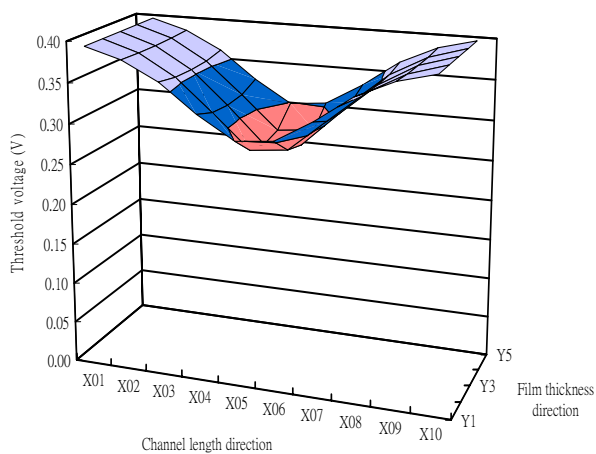


Fig.9. 在理想雙閘極結構，臨界電壓對於施體摻雜原子的雜散摻雜效應的變化
@ $L=25\text{nm}$ 、 $V_D=50\text{mV}$ 。

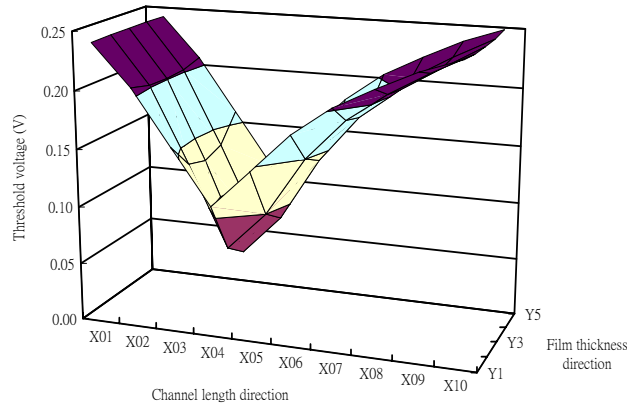


Fig.10. 在理想雙閘極結構，臨界電壓對於受體摻雜原子的雜散摻雜效應的變化
@L=25nm、 $V_D=1.1V$ 。

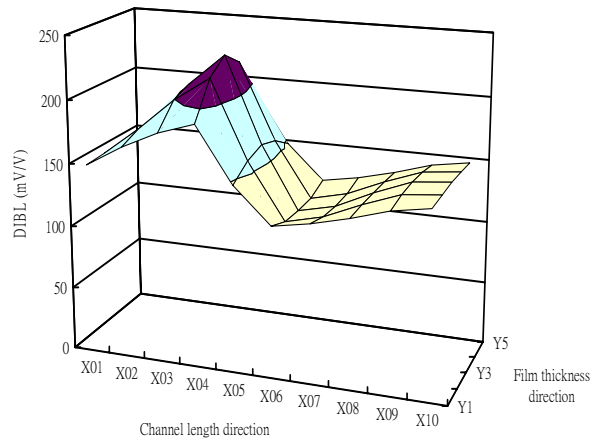


Fig.11. 在理想雙閘極結構，DIBL 對於受體摻雜原子的雜散摻雜效應的變化 @L=25nm。

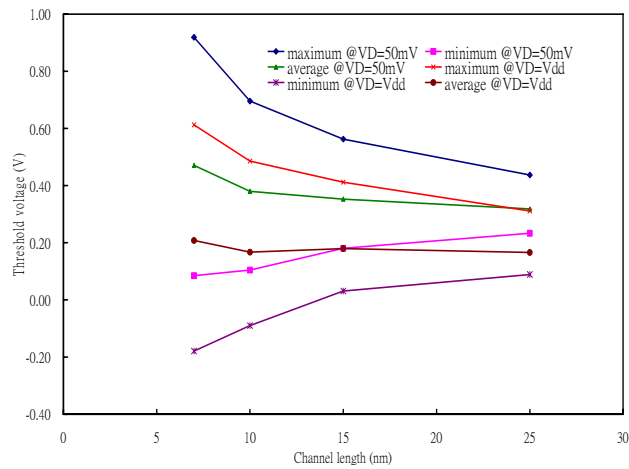


Fig.12. 對於受體摻雜原子的雜散摻雜效應， ΔV_T 變化與通道長度的關係圖。

雜散摻雜原子對多重閘極電晶體的影響

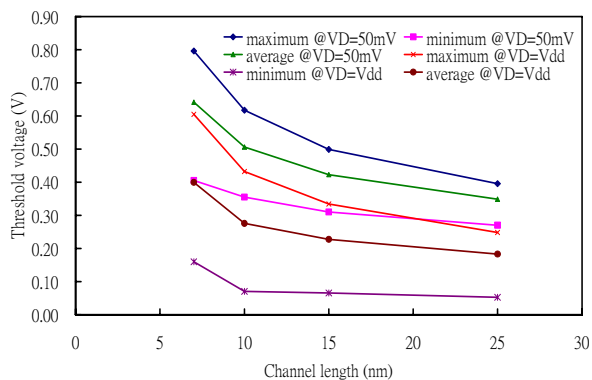


Fig.13. 對於施體摻雜原子的雜散摻雜效應， ΔV_T 變化與通道長度的關係圖。

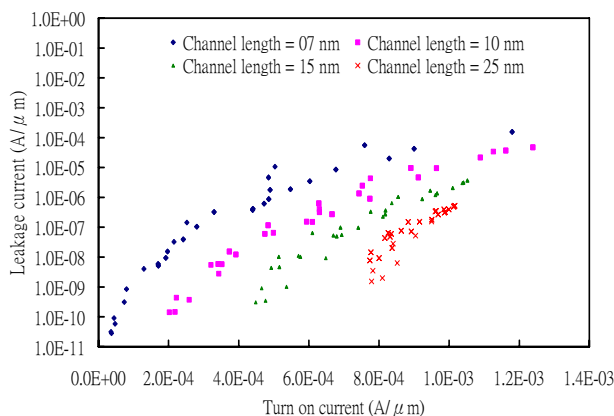


Fig.14. 對於受體摻雜原子的雜散摻雜效應，在不同的通道長度下， I_{ON} 與 I_{OFF} 之間的關係圖 @ $V_D=V_{dd}$ 。

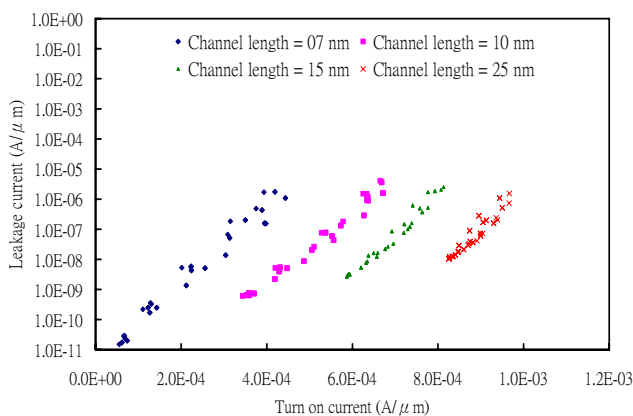


Fig.15. 對於施體摻雜原子的離散摻雜效應，在不同的通道長度下， I_{ON} 與 I_{OFF} 之間的關係圖 @ $V_D=V_{dd}$ 。

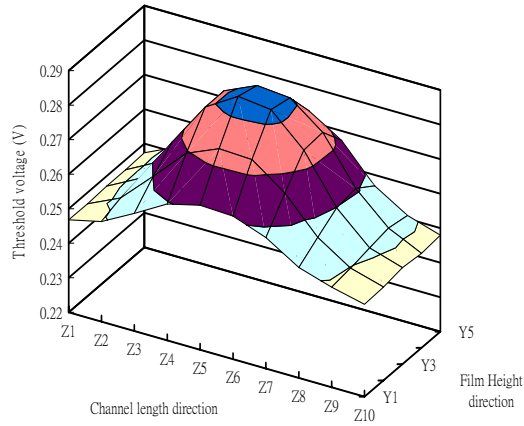


Fig.16. 在多重閘極結構下，三閘極元件的臨界電壓對於雜散摻雜效應的變化
@ $L=25\text{nm}$ 、 $V_D=50\text{mV}$ 。

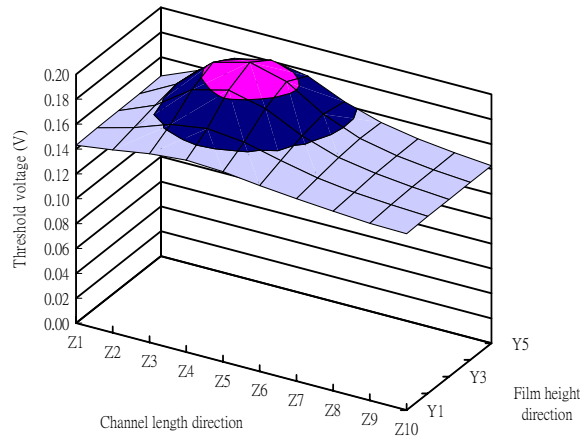


Fig.17. 在多重閘極結構下，三閘極元件的臨界電壓對於雜散摻雜效應的變化
@ $L=25\text{nm}$ 、 $V_D=1.1\text{V}$ 。

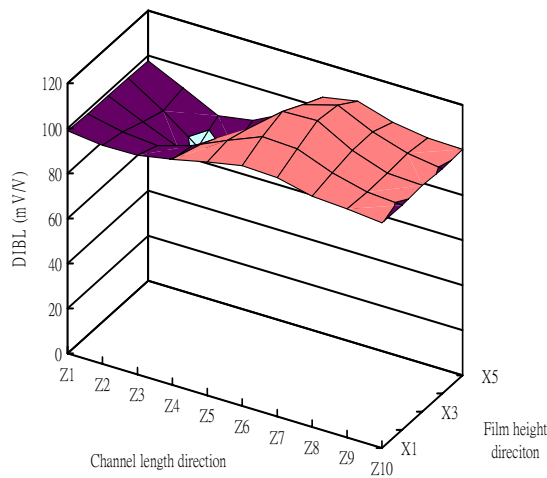


Fig.18. 在多重閘極結構下，三閘極元件的 DIBL 對於雜散摻雜效應的變化 @ $L=25\text{nm}$ 。

雜散摻雜原子對多重閘極電晶體的影響

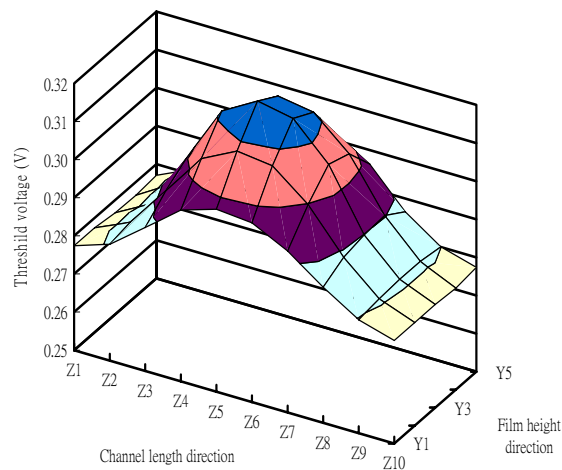


Fig.19. 在多重閘極結構下，雙閘極元件的臨界電壓對於雜散摻雜效應的變化
@L=25nm、 $V_D=50\text{mV}$ 。

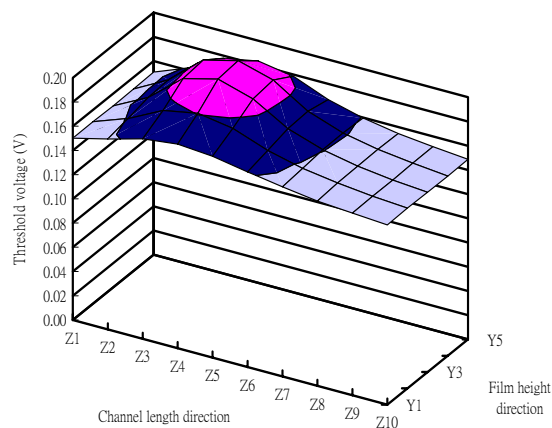


Fig.20. 在多重閘極結構下，雙閘極元件的臨界電壓對於雜散摻雜效應的變化
@L=25nm、 $V_D=1.1\text{V}$ 。

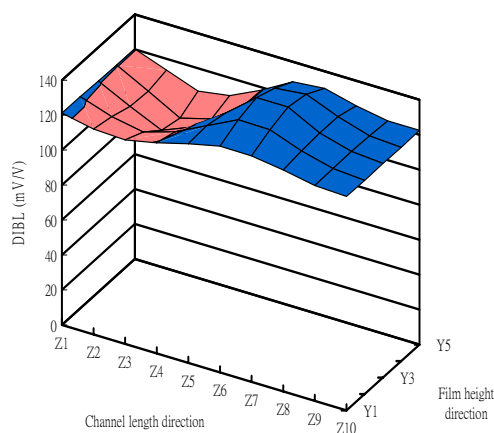


Fig.21. 在多重閘極結構下，雙閘極元件的 DIBL 對於雜散摻雜效應的變化 @L=25nm。

